

問題A

クロックに同期して1, 2, 3, 5, 8, 13の数字をこの順に繰り返し出力する回路を設計したい。つまりこの回路は13を出力した次のクロックでは1を出力する。出力を4ビットの2進数 ' $x_3x_2x_1x_0$ ' とするとき、以下の問に答えよ。

- (1) この回路の状態遷移図を示せ。
- (2) 図1に示すゲートとDフリップフロップを用いて回路を構築したい。Dフリップフロップの必要最小個数を示せ。また、励起表および出力表を示せ。なお、 D および Q はDフリップフロップへの入力と出力、 \bar{Q} は出力の反転、 C はクロック入力を示す。
- (3) 問(2)で求めた表を用いて、各Dフリップフロップの状態関数と回路の出力関数を求めよ。ただし、可能な限り簡単化した論理式で示すこと。
- (4) 問(3)で求めた関数を用いて、回路図を作成せよ。なお、回路図では、図1に示す記号以外は使用しないこと。
- (5) カウンタを用いて上記の回路を構築することを考える。2進カウンタ、6進カウンタ、13進カウンタが利用できるとき、最も簡潔となるように、いずれかのカウンタを用いて回路を構築せよ。

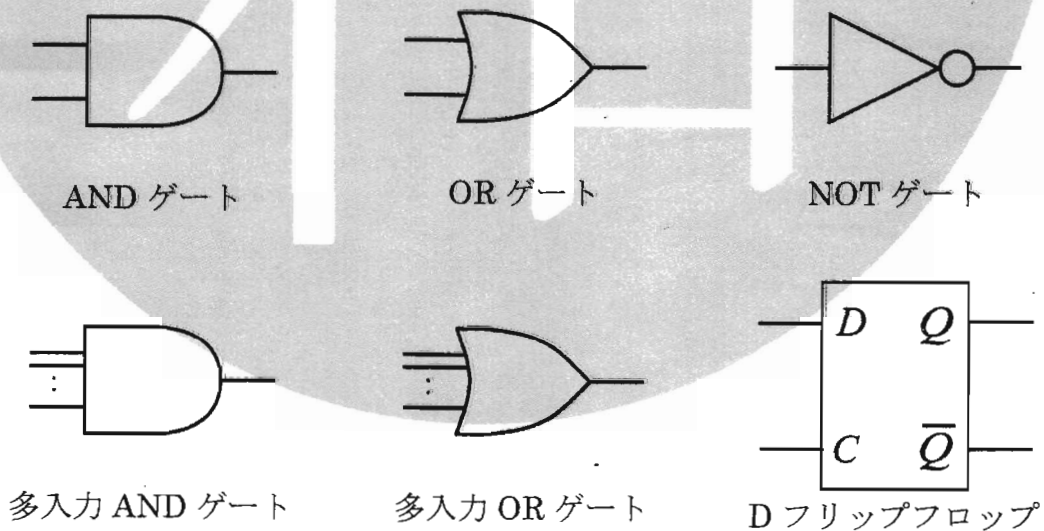


図1

Problem A

We would like to design a circuit that repeatedly outputs the sequence of numbers 1, 2, 3, 5, 8, and 13 synchronously with clock pulses. This circuit outputs 1 at the clock pulse just after it has output 13. A four-bit binary number ' $x_3x_2x_1x_0$ ' represents the output of the circuit. Answer the following questions.

- (1) Give the state transition diagram of this circuit.
- (2) Let us design the circuit using the gates and the D flip-flops shown in Fig. 1. Give the minimum number of D flip-flops necessary to construct the circuit. Moreover, give the excitation table and the transition table of this circuit. D , Q , \bar{Q} , and C represent the input, output, inverted output, and clock input of the flip-flop, respectively.
- (3) Describe the state function of each D flip-flop and output functions of the circuit based on the table in Question (2). All logical formulas must be simplified as much as possible.
- (4) Design a circuit based on the functions in Question (3). We may use only the symbols shown in Fig. 1.
- (5) We would like to construct the circuit using a counter. When we can choose base-2, base-6, or base-13 counters, design a circuit as simple as possible using one of these counters.

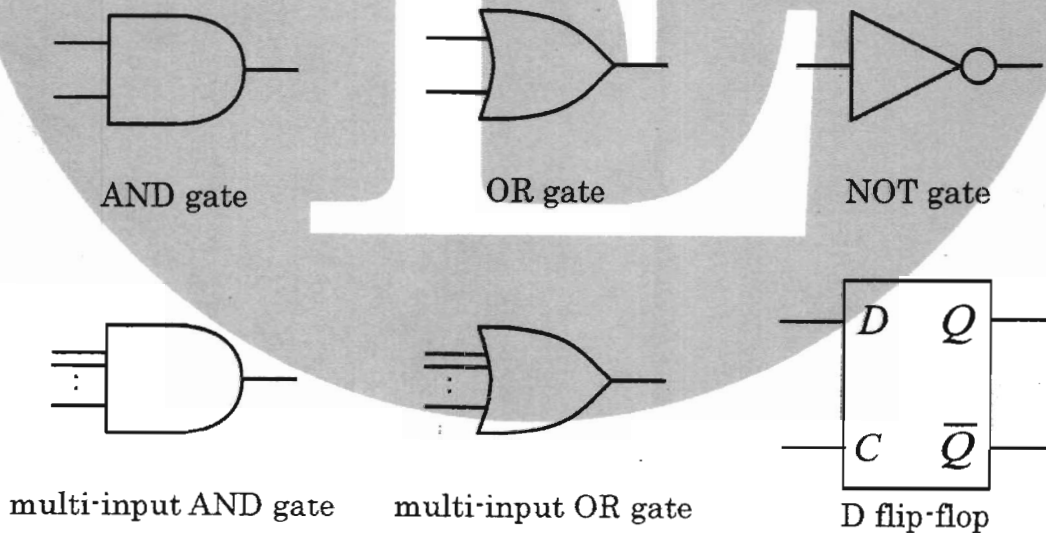


Fig. 1