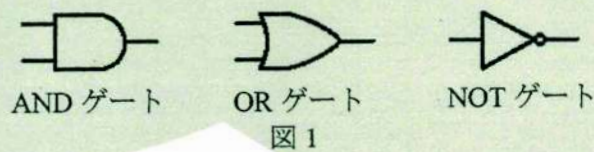


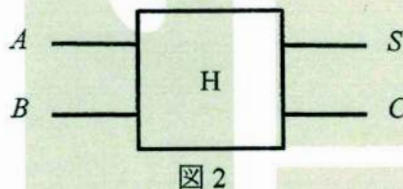
## 問題A

加算器の論理回路について、以下の各問に答えよ。

- (1) 入力  $A, B$  を1ビットの符号なし2進数の表現とした場合、その和である2ビットの符号なし2進数を出力する論理回路を半加算器という。半加算器の真理値表を示せ。表中では、出力の下位ビットを  $S$ 、繰り上がりである上位ビットを  $C$  とせよ。
- (2) AND, OR, NOT ゲートで構成した半加算器の回路を図示せよ。ただし各ゲートは図1に示す記号を用いて表せ。



- (3) 半加算器では下位桁からの繰り上りを扱えないため、複数ビットの2進数に対する加算のひと桁分を実現することはできない。下位桁からの繰り上りを足し込む機能を持つ全加算器の真理値表を示せ。表中では、全加算器が担当する桁のふたつの入力をそれぞれ  $A, B$ 、ひとつ下位の桁からの繰り上りを  $C_{in}$ 、この桁の出力を  $S$ 、次の桁への繰り上がり出力を  $C_{out}$  とせよ。
- (4) 全加算器は、半加算器ふたつと OR ゲートひとつによって構成することができる。そのような論理回路の構成を図示せよ。ただし各半加算器は図2のように示せ。



単に全加算器を直列接続すれば、任意ビット数の加算器を構成できる。しかし、この構成ではすべての出力ビットが得られるまでの時間がビット数に比例するので、ビット数が多いと遅延が長くなり過ぎる。これを解決するために、加算器の並びに沿って繰り上りを順次伝播するのではなく、繰り上りを計算するための専用回路を別途構成する、キャリールックahead手法が広く用いられている。

- (5) 任意入力数/出力数の AND/OR ゲートを用いることにより、配線遅延を無視すればどの桁に対する繰り上がりビットもゲート2段分の遅延で求められることを示せ。
- (6) 実際には、すべての桁についての繰り上りをゲート2段で求めるのではなく、より段数が多いキャリールックahead回路を用いることが多い。このような設計が広く用いられる技術的な理由を述べよ。

## Problem A

Answer the following questions on logic circuits for adders.

- (1) When two inputs  $A$  and  $B$  are representations of one-bit unsigned binary numbers, the logic circuit that makes the two-bit binary unsigned representation of the sum of the inputs is called *half adder*. Give the truth table of the half adder. In the table, the lower bit of the output should be indicated as  $S$ , and the upper bit, which represents the carry, should be indicated as  $C$ .
- (2) Give a circuit diagram of a half adder consisting of AND, OR, and NOT gates. Gates should be represented as shown in Fig. 1.

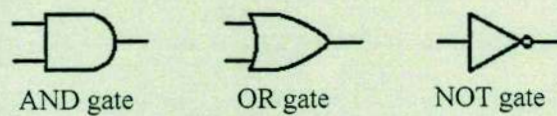


Fig. 1

- (3) Half adders cannot take a carry from lower places into account, and thus cannot realize one bit portion of addition of multi-bit binary numbers. Give the truth table of *full adder* that has the function of summing up the carry from lower places. In the table, the two input bits of the full adder should be indicated as  $A$  and  $B$ , the carry from one lower place should be indicated as  $C_{in}$ , the output of the place should be indicated as  $S$ , and the carry to be propagated to the next place should be indicated as  $C_{out}$ .
- (4) A full adder can be built using two half adders and a single OR gate. Give a diagram of such a logic circuit. Here, a half adder should be drawn as shown in Fig. 2.

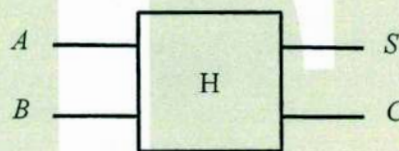


Fig. 2

Adders of an arbitrary number of bits can be constructed by simply connecting full adders in line. With such a construction, however, the time required to obtain all the output bits is proportional to the number of bits, making an adder for many bits too slow. To solve this problem, the carry look-ahead method, in which carries are not propagated through the line of full adders but are computed separately by dedicated circuits, is commonly adopted.

- (5) Show that the carry bits for all the places can be obtained only with delays of two gates, using AND/OR gates of an arbitrarily large number of inputs and outputs, when wiring delays are ignored.
- (6) The common practice is, instead of using circuitry that can compute all the carry bits with two levels of gates, using carry look-ahead circuits with more stages. Describe the technical reason why such a design is common.